

Feuille de TD N° 2 : Algèbre de Boole, simplification, analyse et conception

Exercice 1 :

- Exprimer par une fonction logique f que :
 - Les variables A, B, C et D sont toutes égales à 1.
 - Toutes les variables A, B, C et D sont nulles.
 Préciser son complément \bar{f} dans chaque cas.
- Simplifier les fonctions logiques suivantes :

$$f_1 = (A + \bar{B}) \cdot \bar{C} + A + \bar{B} \cdot C ; f_2 = A \cdot C + B \cdot \bar{C} + A \cdot B$$

$$f_3 = A \cdot B + \bar{A} \cdot \bar{B} ; f_4 = A \cdot B + \bar{A} \cdot \bar{B}$$
- Montrer que : $\overline{A \cdot C + B \cdot \bar{C}} = \bar{A} \cdot C + \bar{B} \cdot \bar{C}$
- Calculer les compléments de :

$$(A + B) \cdot (\bar{A} + \bar{B}) ; (A + \bar{B} + \bar{C}) \cdot (B + \bar{C} + D) \cdot (\bar{A} + C + D)$$

$$\bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot \bar{C} + A \cdot (B \cdot C + \bar{B} \cdot \bar{C})$$
- Donner le schéma logique avec des portes *OR*, *AND* et *NOT* permettant de réaliser la fonction :

$$F = \bar{A} \cdot C + \bar{B} \cdot \bar{D}$$

Exercice 2 :

On désire réaliser un générateur de parité **P** basé sur le principe suivant. **P** vaut 1 quand dans un mot de 4 bits (D, C, B, A) le nombre de 1 est pair, sinon **P** vaut 0.

- Établir la table de vérité de cette fonction. On considérera que 0 fait partie des nombres dont la parité est paire.
- Implanter cette fonction avec 3 *OU exclusif* et 1 *inverseur*.

Exercice 3 :

- Simplifier les fonctions suivantes en utilisant les tableaux de Karnaugh :

$$Y_1 = (A + B) \cdot \bar{A} + \bar{A} \cdot \bar{B} ; Y_2 = \bar{A} \cdot \bar{B} + A \cdot \bar{B} + \bar{A} \cdot B ; Y_3 = A + B + \bar{A} \cdot \bar{B}$$
- Simplifier les fonctions suivantes en utilisant les tableaux de Karnaugh. Les implanter ensuite avec des portes *NAND*.

$$Y_1 = \bar{A} \cdot \bar{B} + \bar{A} \cdot \bar{C} + B \cdot \bar{C}$$

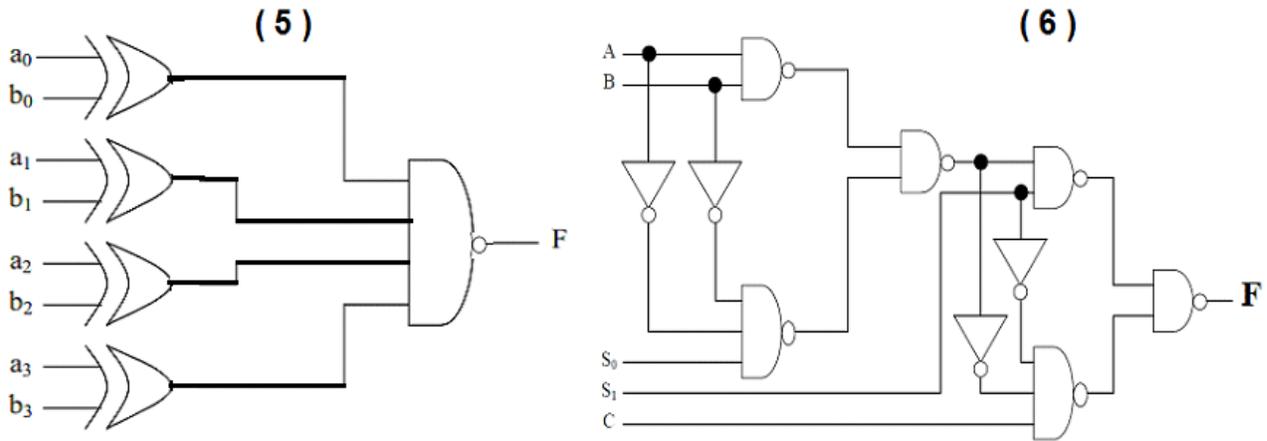
$$Y_2 = A \cdot B \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot C$$

$$Y_3 = A \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + A \cdot \bar{B} \cdot C \cdot \bar{D} + A \cdot B \cdot \bar{C} \cdot D + A \cdot B \cdot C \cdot D + \bar{A} \cdot B \cdot D + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot \bar{B} \cdot C \cdot \bar{D}$$

Exercice 4 :

1. Analyser le circuit (5) et définir son rôle.
2. Considérons le circuit (6). Ce circuit réalise la fonction F qui peut être contrôlée par les variables logiques S_0, S_1 et C . On veut analyser la variation de F en fonction des valeurs de S_0, S_1 et C et l'exprimer en fonction de A et B .
 - 2.1– Établir la forme générale de F en fonction des variables A, B, C, S_0, S_1 . On appliquera le théorème de DE MORGAN pour obtenir F sous forme d'une somme de produits.
 - 2.2– En déduire la table de vérité de F en fonction de S_0, S_1 et C .
 - 2.3– En déduire enfin les valeurs respectives de S_0, S_1 et C pour que la fonction F représente :

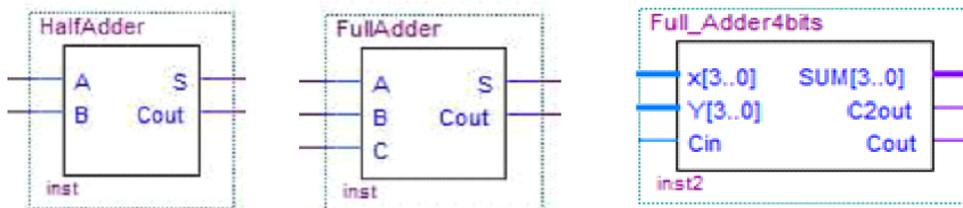
$$A \cdot B ; \overline{A \cdot B} ; A \oplus B ; \overline{A \oplus B}$$



Exercice 5 : Additionneur – soustracteur 4 bits

On cherche à réaliser un montage permettant d'effectuer l'addition ou la soustraction sur 4 bit avec retenue entrante et sortante.

1. Établir la table de vérité et le schéma du demi-additionneur qui effectue l'opération $S_i = A_i + B_i$ et qui calcule la retenue sortante C_{out} .



2. En déduire la table de vérité et le schéma de l'additionneur complet qui effectue l'opération $S_i = A_i + B_i + C_{in}$ et qui calcule la retenue sortante.
3. Réaliser un Full- Adder 4 bits, à l'aide de 4 additionneurs complets 1 bit.
4. Détailler la démarche suivie pour concevoir un additionneur – soustracteur à partir de ce Full Adder 4 bits.

Corrigé de Feuille de TD N° 2 : Algèbre de Boole, simplification, analyse et conception

Exercice 1 :

1. Exprimons par une fonction logique f et son complément \bar{f} , les propositions suivantes :
- Les variables A, B, C et D sont toutes égales à 1.

$$f_1 = A \cdot B \cdot C \cdot D ; \bar{f}_1 = \bar{A} + \bar{B} + \bar{C} + \bar{D}$$

- Toutes les variables A, B, C et D sont nulles.

$$f_2 = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} ; \bar{f}_2 = A + B + C + D$$

2. Simplifions les fonctions logiques suivantes, en appliquant l'algèbre de Boole :

- $f_1 = (A + \bar{B}) \cdot \bar{C} + A + \bar{B} \cdot C ; f_1 = A + \bar{B}$
- $f_2 = A \cdot C + B \cdot \bar{C} + A \cdot B ; f_2 = A \cdot C + B \cdot \bar{C} ; (A \cdot B : \text{Terme de consensus})$
- $f_3 = \overline{A \cdot B} + \bar{A} \cdot \bar{B} ; f_3 = \bar{A} \cdot B + \bar{B} \cdot A$
- $f_4 = A \cdot B + \bar{A} \cdot \bar{B} ; f_4 = A \oplus B$

3. À montrer que (Cours : Thm de De Morgan) : $\overline{A \cdot C + B \cdot \bar{C}} = \bar{A} \cdot C + \bar{B} \cdot \bar{C}$

4. Vérifier par calcul (Thm de De Morgan) les compléments :

- $\overline{(A + B) \cdot (\bar{A} + \bar{B})} = \bar{A} \cdot \bar{B} + A \cdot B$
- $\overline{(A + \bar{B} + \bar{C}) \cdot (B + \bar{C} + D) \cdot (\bar{A} + C + D)} = \bar{A} \cdot B \cdot C + \bar{B} \cdot C \cdot \bar{D} + \bar{C} \cdot A \cdot \bar{D}$
- $\overline{\bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot \bar{C} + A \cdot (B \cdot C + \bar{B} \cdot \bar{C})} = \overline{A \oplus B \oplus C}$

5. À réaliser, puis tester sous Quartus, le logigramme qui correspond à la fonction :

$$F = \bar{A} \cdot C + \bar{B} \cdot \bar{D}$$

Exercice 2 :

Nous cherchons à synthétiser un générateur de parité **P** qui fonctionne selon le principe suivant : **P** vaut 1 quand dans 1 mot de 4 bits (D, C, B, A) le nombre de 1 est pair, sinon **P** vaut 0.

1. La table de vérité de cette fonction est illustrée par le tableau 1.
2. La figure 1, montre le logigramme du générateur de parité. La figure 2, présente le rapport de simulation du circuit en question.

Exercice 3 :

1. On se propose de simplifier les fonctions suivantes en utilisant les tableaux de Karnaugh.

1.a— $Y_1 = (A + B) \cdot \bar{A} + \bar{A} \cdot \bar{B}$; La solution minimale relative au T.K 2, est : $Y_1 = \bar{A}$.

D	C	B	A	$P = S$
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

TABLE 1 –

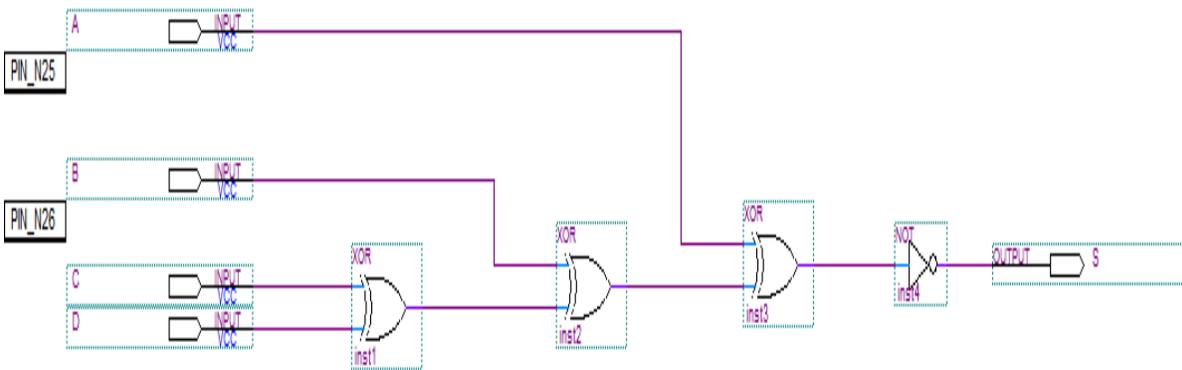


FIGURE 1 –

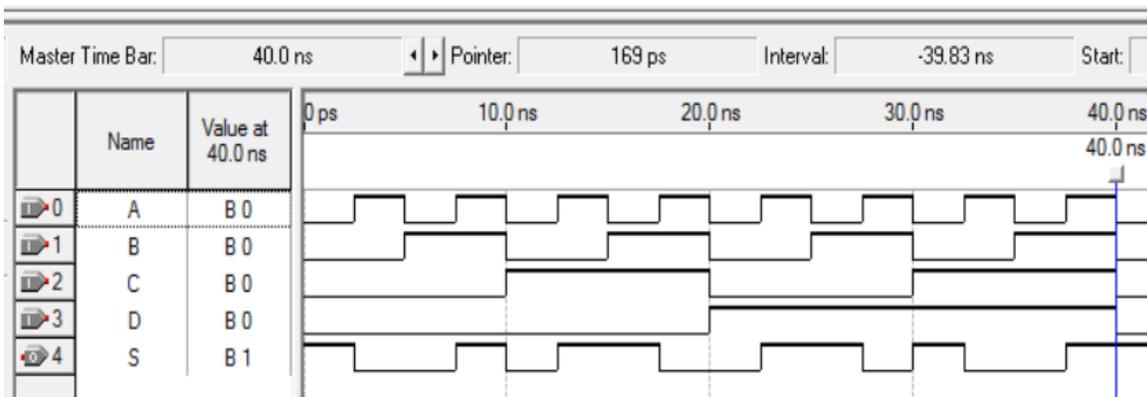


FIGURE 2 –

1.b- $Y_2 = \bar{A} \cdot \bar{B} + A \cdot \bar{B} + \bar{A} \cdot B$; La solution minimale relative au T.K 3, est : $Y_2 = \bar{A} + \bar{B}$

1.c- $Y_3 = A + B + \bar{A} \cdot \bar{B}$ (TAF.)

A	B		
0	0	1	1
0	1	1	1
1	0	0	0
1	1	0	0

TABLE 2 –

A	B		
0	0	1	1
0	1	1	1
1	0	1	0
1	1	0	0

TABLE 3 –

2. Même chose pour les fonctions suivantes (consulter le cours). Leur implantation avec des portes *NAND*, est telle que :

2.a– $Y_1 = \overline{\overline{\overline{B \cdot C \cdot A \cdot B}}}$ (5 NAND à 2 entrées).

2.b– $Y_2 = \overline{A \cdot B \cdot C}$ (3 NAND à 2 entrées).

2.c– $Y_3 = \overline{\overline{B \cdot D} \cdot \overline{\overline{B \cdot D}}}$ (5 NAND à 2 entrées).

Exercice 4 :

1. La figure 3, montre deux circuits (5), et (6). L'analyse du circuit (5) reflète la véracité de la sortie

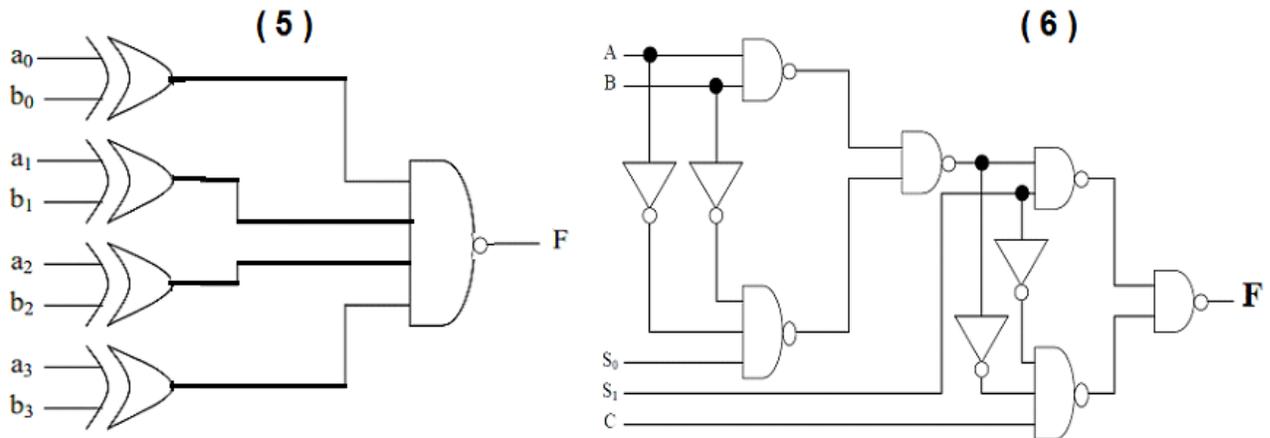


FIGURE 3 –

F si la condition $(a_3 a_2 a_1 a_0) = (b_3 b_2 b_1 b_0)$ est remplie (Faire la T.V.).

Il s'agit alors **d'un comparateur (d'égalité)**.

2.1– Quant au circuit (6) de la même figure, il est régi par la fonction :

$$F = S_1 \cdot A \cdot B + S_1 \cdot S_0 \cdot \overline{A} \cdot \overline{B} + C \cdot \overline{S_1} \cdot \overline{A \cdot B} + \overline{A \cdot B} \cdot S_0$$

2.2– Faire la table de vérité de F en fonction de S_0 , S_1 et C .

2.3– Chercher en fin les valeurs respectives de S_0 , S_1 et C pour que la fonction F représente :

$$A \cdot B ; \overline{A \cdot B} ; A \oplus B ; \overline{A \oplus B}$$

Exercice 5 : Additionneur Soustracteur 4 bits

On vous demande de réaliser un circuit permettant d'effectuer l'addition ou la soustraction sur 4 bit avec retenue entrante et sortante, éventuellement détecter le débordement de calcul (V).

1. Table de vérité et le schéma du demi-additionneur qui effectue l'opération $S_i = A_i + B_i$ et qui calcule la retenue sortante C_{out} (TAF).
2. Table de vérité et le schéma de l'additionneur complet qui effectue l'opération $S_i = A_i + B_i + C_{in}$ et qui calcule la retenue sortante (Consulter le cours).
3. Objet du TP : **Réaliser un Full– Adder 4 bits, à l'aide de 4 additionneurs complets 1 bit.**
4. Objet du TP : **Détailler la démarche suivie pour concevoir un additionneur– soustracteur à partir de ce Full Adder 4 bits.**

La figure 4, montre un Half adder, un Full adder, et un adder 4 bits.

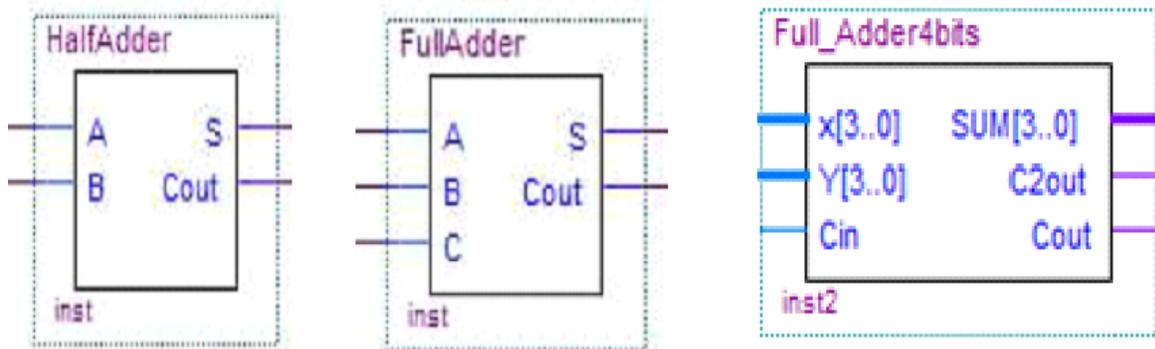


FIGURE 4 –

Ci- après la figure 5, et la figure 6, montrant respectivement le schéma d'un additionneur– soustracteur 4 bits, et le résultat d'un exemple de test (TAF).

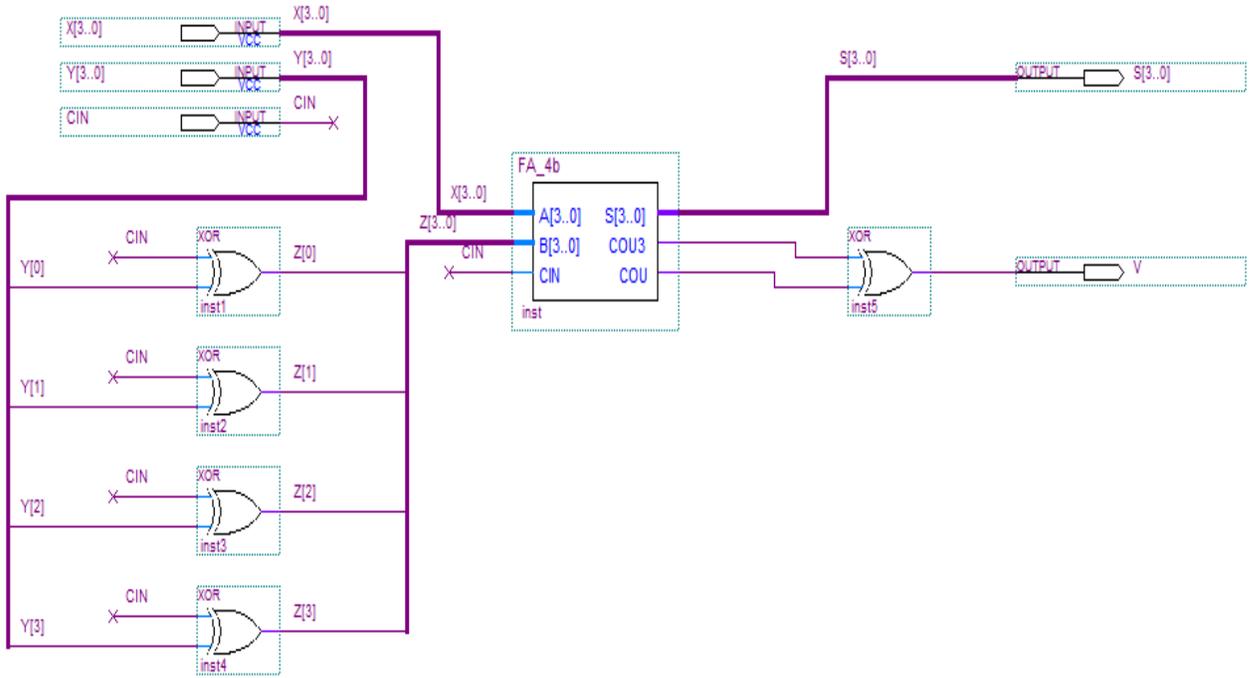


FIGURE 5 –



FIGURE 6 –