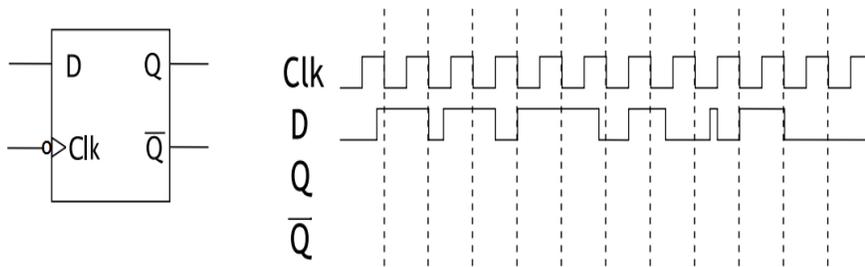


**Feuille de TD N° 3 : Circuits logiques séquentiels**

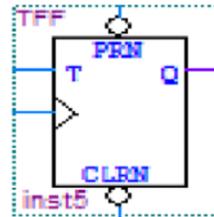
**Exercice 1 :**

1. Donner le chronogramme correspondant aux sorties complémentaires  $Q$  et  $\bar{Q}$  de la bascule D.



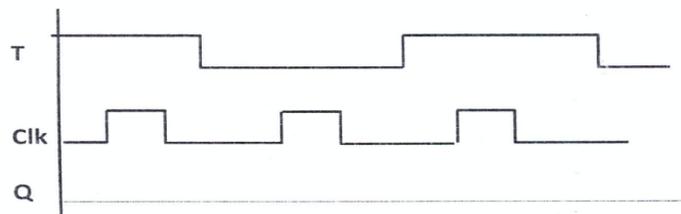
2. On considère la bascule  $T$ , ayant la table de vérité suivante. Concevoir cette bascule à l'aide de

Entrée $T$	État futur (Sortie $Q^+$ )
0	$Q$
1	$\bar{Q}$



la bascule  $D$  et une porte logique.

3. Compléter le chronogramme ci-après.



4. En déduire la table d'excitation de la bascule  $T$ , et représenter le schéma de la bascule  $D$  à l'aide de cette dernière, et une porte logique.

**Exercice 2 :**

On souhaite réaliser un **compteur – décompteur synchrone modulo 4 avec une entrée  $X$**  telle que :



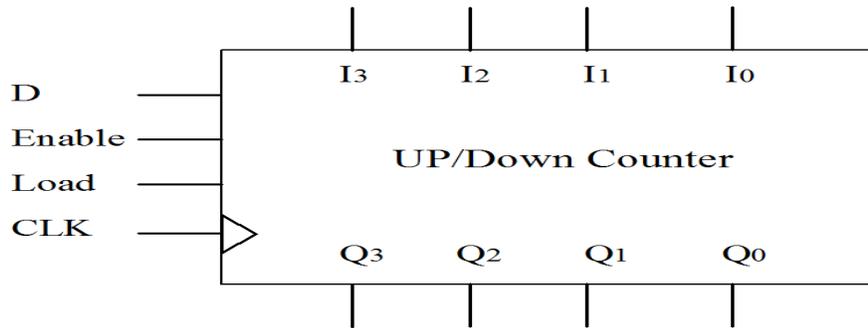


FIGURE 1 –

### Exercice 6 : Registre universel 4 bits

Considérons un registre universel 4 bits , représenté sur la figure 2.

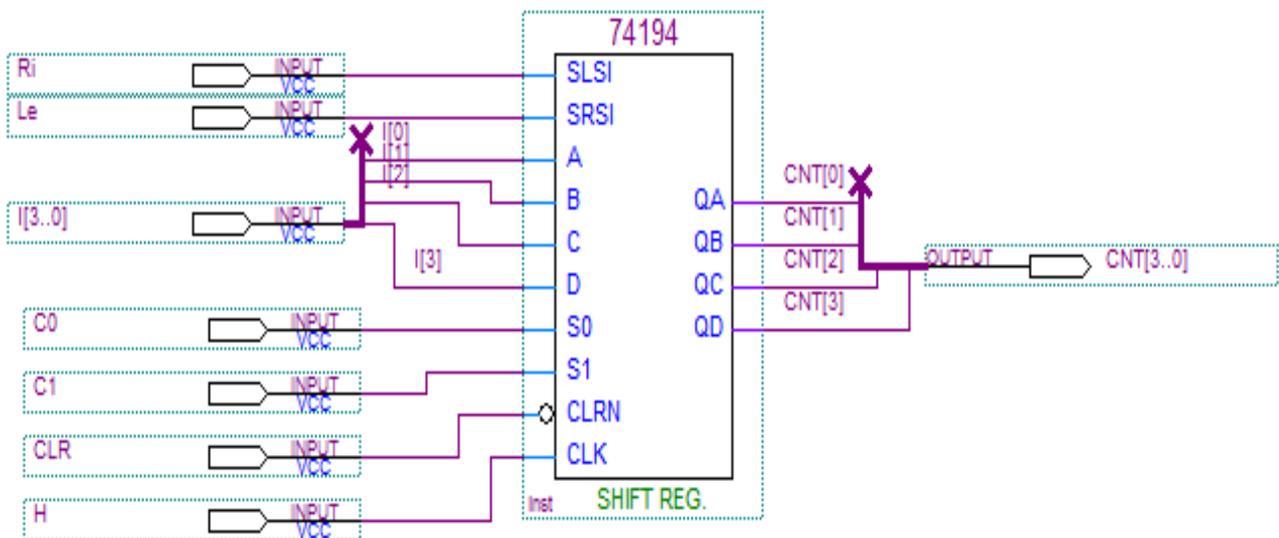


FIGURE 2 –

Son symbole est montré sur la figure 3.



FIGURE 3 –

Ce registre étant décrit par la table de vérité suivante.

CLR	H	$C_1$	$C_0$	Fonction	$Q_3^+ Q_2^+ Q_1^+ Q_0^+$
0	X	X	X	RAZ asynchrone	0 0 0 0
1	↓	0	0	Maintien	$Q_3 Q_2 Q_1 Q_0$
1	↓	0	1	Décalage à droite	$Ri Q_3 Q_2 Q_1$
1	↓	1	0	Décalage à gauche	$Q_2 Q_1 Q_0 Le$
1	↓	1	1	Chargement //	$I_3 I_2 I_1 I_0$

1. Concevoir à l'aide de ce registre, un système logique qui génère la séquence suivante :

$$9 \rightarrow 3 \rightarrow 7 \rightarrow 12 \rightarrow 9 \dots$$

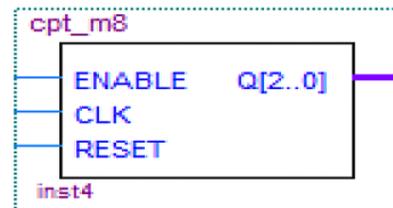
2. Détailler la démarche suivie pour réaliser la fonction  $f(x) = 2 \cdot x$ ;  $x$  étant un entier de taille 4 bits.

### Problème : Synthèse d'un compteur synchrone (Extrait de l'examen de session normale 2020) (laissé en exercice)

La fonction comptage est l'une des plus importantes de l'électronique numérique. Rares sont les designs des circuits logiques qui n'en comportent pas un grand nombre. Le principe est simple : à chaque coup d'horloge CLK, la sortie d'un compteur est incrémentée.

On souhaite réaliser un compteur Modulo 8 à partir de  $n$  bascules T, pilotées par le même signal d'horloge CLK. Ce compteur possède des fonctions supplémentaires : CLRN (pour remettre à zéro l'état du compteur), et ENABLE (pour autoriser le comptage ou mémoriser la valeur précédente). La table de vérité du compteur est indiquée sur la figure ci-dessous.

CLRN	CLK	ENABLE	Fonction	Mode
0	X	X	Mise à 0	Asynchrone
1	↑	0	Mémorisation	Synchrone
1	↑	1	Comptage	Synchrone



- 1– Combien de bascules  $T$  sont nécessaires ?
- 2– Établir la table de vérité de ce compteur.
- 3– Donner les équations des entrées  $T_i$  ( $i = 0, 1, \dots, n - 1$ ) des différentes bascules.
- 4– En déduire le schéma de ce compteur.
- 5– Montrer comment adjoindre quelques portes à ce module afin de créer un compteur Modulo 6 avec RESET asynchrone.
- 6– Proposer un schéma d'un système logique permettant d'accomplir la fonction suivante, en utilisant un circuit usuel non arithmétique à préciser, et les compteurs déjà conçus.

Mode $C$	Fonction
0	Comptage modulo 6
1	Comptage modulo 8