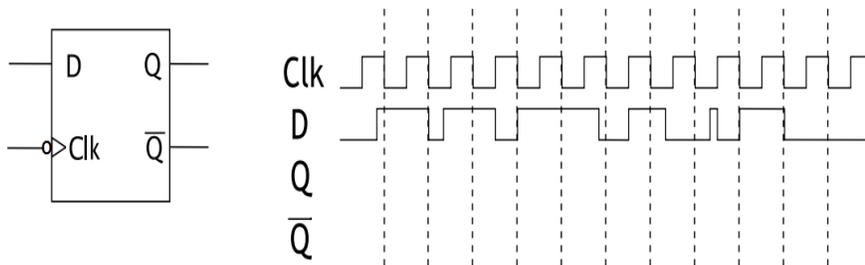


Feuille de TD N° 3 : Circuits logiques séquentiels

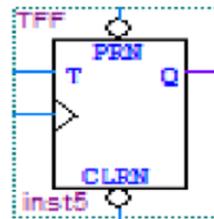
Exercice 1 :

1. Donner le chronogramme correspondant aux sorties complémentaires Q et \bar{Q} de la bascule D.



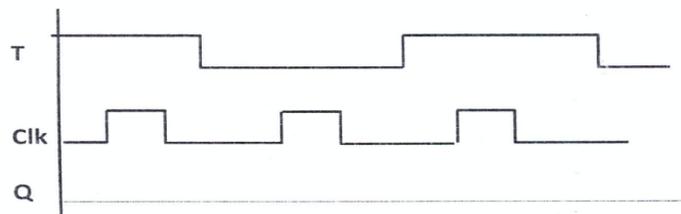
2. On considère la bascule T , ayant la table de vérité suivante. Concevoir cette bascule à l'aide de

Entrée T	État futur (Sortie Q^+)
0	Q
1	\bar{Q}



la bascule D et une porte logique.

3. Compléter le chronogramme ci-après.



4. En déduire la table d'excitation de la bascule T , et représenter le schéma de la bascule D à l'aide de cette dernière, et une porte logique.

Exercice 2 :

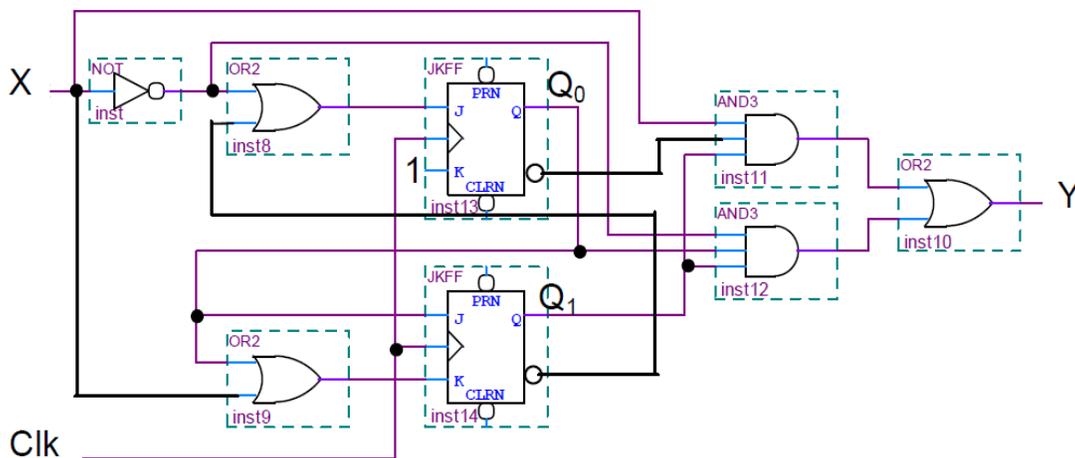
On souhaite réaliser un **compteur – décompteur synchrone modulo 4 avec une entrée X** telle que :

Entrée X	Fonction
0	Comptage
1	Décomptage

1. Combien de bascules JK sont nécessaires ?
2. Donner le graphe d'états, puis établir la table de vérité du circuit.
3. Déterminer les équations des entrées $J_i K_i$ des bascules.
4. Faire le schéma.

Exercice 3 :

On considère le circuit logique séquentiel suivant.



1. Donner les équations d'états, et l'expression de la sortie.
2. En déduire la table des états, et le graphe correspondant.
3. Préciser le type de machine en question.

Exercice 4 : Conception

On veut concevoir un système d'ouverture de porte avec code d'accès. La machine reçoit en entrée X une série de chiffres tapée sur un clavier numérique. Si la machine reçoit la bonne séquence de chiffres 0, 2, 3, 5, la porte est ouverte grâce au signal de sortie.

1. Dessiner le diagramme des états selon une forme de *machine de Moore*.
2. Transformer cette machine en une *machine de Mealy*.

Exercice 5 :

La figure 1, montre un compteur – décompteur 4 bits.

Si $D = 0$ et $Enable = 0$, le système évolue. Il est maintenu lorsque $Enable = 1$. On vous demande de concevoir un compteur Modulo 12, en utilisant ce système, et 1 ou +s portes de votre choix.

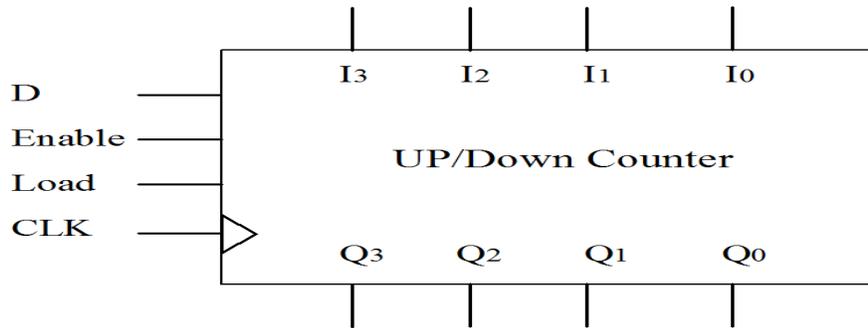


FIGURE 1 –

Exercice 6 : Registre universel 4 bits

Considérons un registre universel 4 bits , représenté sur la figure 2.

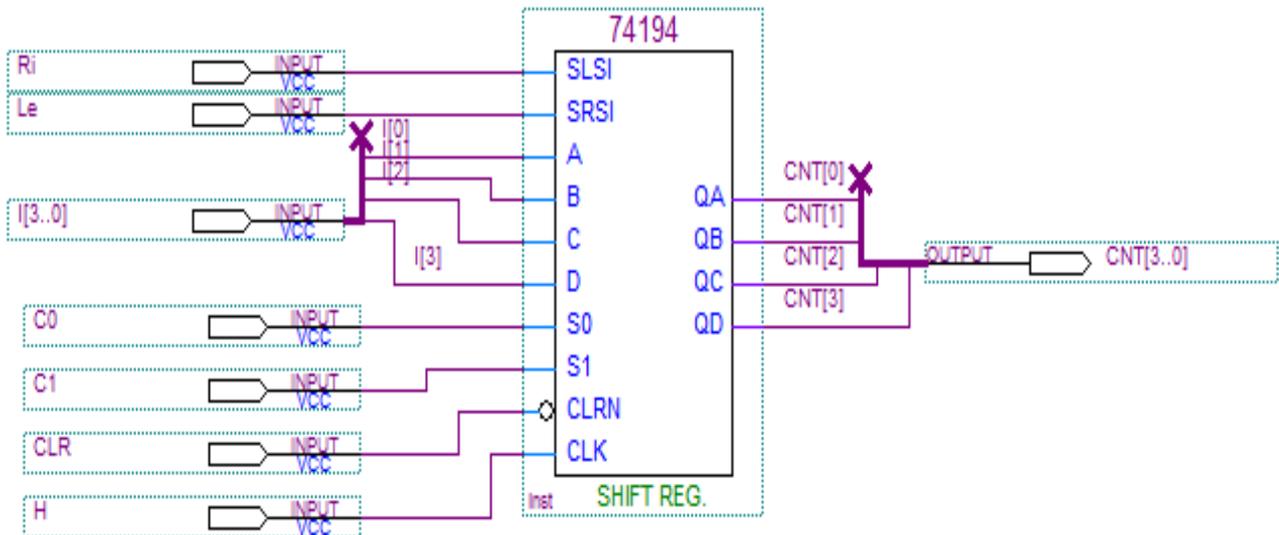


FIGURE 2 –

Son symbole est montré sur la figure 3.



FIGURE 3 –

Ce registre étant décrit par la table de vérité suivante ($CNT = Q$).

CLR	H	C_1	C_0	Fonction	$Q_3^+ Q_2^+ Q_1^+ Q_0^+$
0	X	X	X	RAZ asynchrone	0 0 0 0
1	↓	0	0	Maintien	$Q_3 Q_2 Q_1 Q_0$
1	↓	0	1	Décalage à droite	$Ri Q_3 Q_2 Q_1$
1	↓	1	0	Décalage à gauche	$Q_2 Q_1 Q_0 Le$
1	↓	1	1	Chargement //	$I_3 I_2 I_1 I_0$

1. Concevoir à l'aide de ce registre, un système logique qui génère la séquence suivante :

$$9 \rightarrow 3 \rightarrow 7 \rightarrow 12 \rightarrow 9 \dots$$

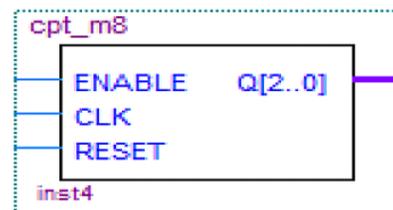
2. Détailler la démarche suivie pour réaliser la fonction $f(x) = 2 \cdot x$; x étant un entier de taille 4 bits.

Problème : Synthèse d'un compteur synchrone (Extrait de l'examen de session normale 2020) (laissé en exercice)

La fonction comptage est l'une des plus importantes de l'électronique numérique. Rares sont les designs des circuits logiques qui n'en comportent pas un grand nombre. Le principe est simple : à chaque coup d'horloge CLK, la sortie d'un compteur est incrémentée.

On souhaite réaliser un compteur Modulo 8 à partir de n bascules T, pilotées par le même signal d'horloge CLK. Ce compteur possède des fonctions supplémentaires : CLRN (pour remettre à zéro l'état du compteur), et ENABLE (pour autoriser le comptage ou mémoriser la valeur précédente). La table de vérité du compteur est indiquée sur la figure ci-dessous.

CLRN	CLK	ENABLE	Fonction	Mode
0	X	X	Mise à 0	Asynchrone
1	↑	0	Mémorisation	Synchrone
1	↑	1	Comptage	Synchrone



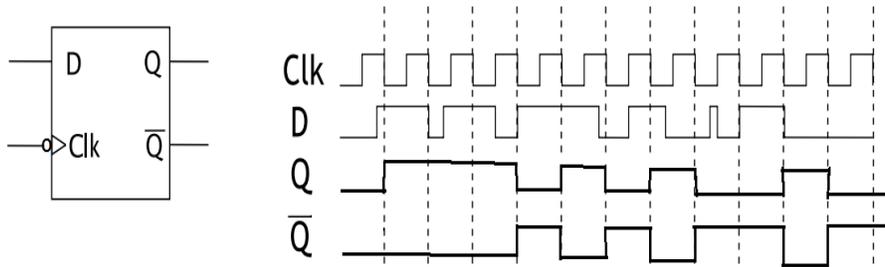
- 1– Combien de bascules T sont nécessaires ?
- 2– Établir la table de vérité de ce compteur.
- 3– Donner les équations des entrées T_i ($i = 0, 1, \dots, n - 1$) des différentes bascules.
- 4– En déduire le schéma de ce compteur.
- 5– Montrer comment adjoindre quelques portes à ce module afin de créer un compteur Modulo 6 avec RESET asynchrone.
- 6– Proposer un schéma d'un système logique permettant d'accomplir la fonction suivante, en utilisant un circuit usuel non arithmétique à préciser, et les compteurs déjà conçus.

Mode C	Fonction
0	Comptage modulo 6
1	Comptage modulo 8

Corrigé de Feuille de TD N° 3 : Circuits logiques séquentiels

Exercice 1 :

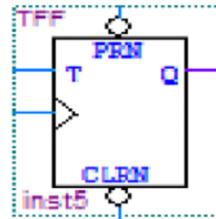
1. Les chronogrammes correspondant aux sorties complémentaires Q et \bar{Q} de la bascule D, sachant que cette dernière réagit au front négatif, sont comme suit :



Nous avons appliqué ici : $Q^+ = D$.

2. Rappelons la table de vérité associée à la bascule T . Cette TV peut être encore réarrangée de

Entrée T	État futur (Sortie Q^+)
0	Q
1	\bar{Q}



la façon portée au tableau 1. En ce qui concerne la bascule la bascule D , sa TV est également

Clk	Q	Q^+	T
↑	0	0	0
↑	0	1	1
↑	1	0	1
↑	1	1	0

TABLE 1 –

rappelée dans le tableau 2. Les deux TV sont équivalents (fonctions équivalentes) ; on a alors :

Clk	D	Q	Q^+	$D \oplus Q$
↑	0	0	0	0
↑	0	1	0	1
↑	1	0	1	1
↑	1	1	1	0

TABLE 2 –

$T = D \oplus Q$, autrement écrit : $D = T \oplus Q$. La Figure 4 présente le schéma équivalent de la bascule T , obtenu à partir d'une bascule D .

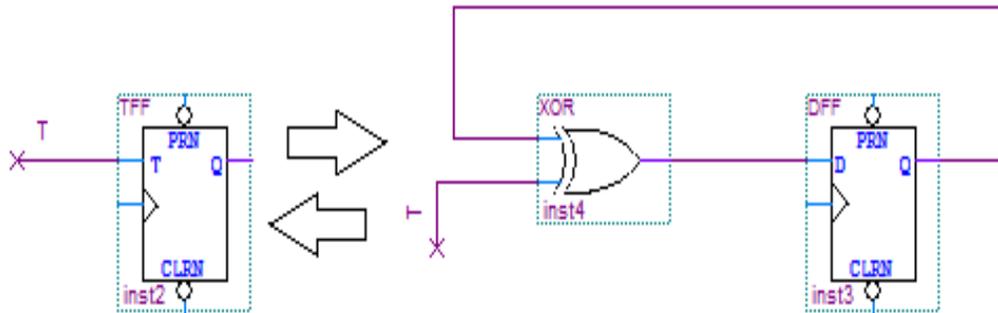
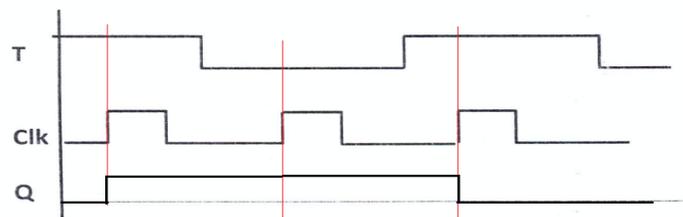


FIGURE 4 –

3. Le chronogramme en question est ci-après.



4. Même démarche que 2.

Exercice 2 :

Réalisons un **compteur – décompteur synchrone modulo 4 avec une entrée X** telle que :

Entrée X	Fonction
0	Comptage
1	Décomptage

1. Nombre de bascules JK nécessaires ? On a $4 = 2^2$ états qui sont :0; 1; 2; 3, donc il nous faut 2 bascules JK .
2. Le graphe d'états est présenté sur La figure 5.
La table de transition d'états relative au comptage ($X = 0$), est présentée dans le tableau 3. Celle associée au décomptage ($X = 1$), est présentée dans le tableau 4. L'encodage des états est présenté dans le tableau 3 (C_0 , C_1 , C_2 et C_3 ont pour codes respectifs " 00 ", " 01 ", " 10 " et " 11 ").
3. Déterminons les équations des entrées $J_i K_i$ des bascules JK pour conditionner l'évolution futur de l'état du système. Faisons appel alors aux tableaux de Karnaugh 5 et 6, qui donnent les solutions minimales respectives pour $J_0 K_0$, et $J_1 K_1$. On tire :

$$J_0 = 1 ; K_0 = 1$$

De même, On obtient :

$$J_1 = X \oplus Q_0 ; K_1 = X \oplus Q_0$$

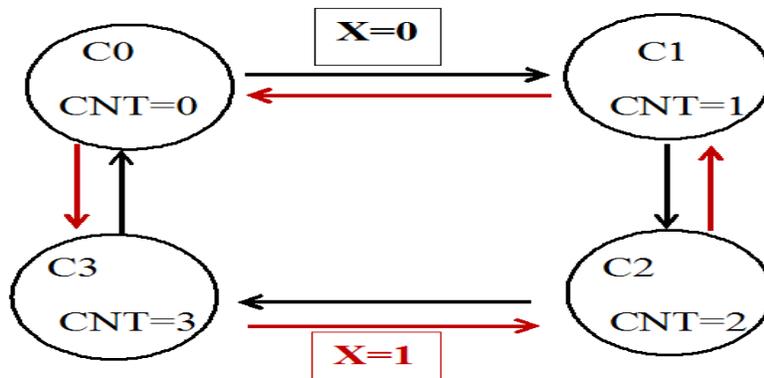


FIGURE 5 –

État Présent		Etat Futur		Entrées Bascule JK				Sortie ($X = 0$)
$Q_{0,P}$	$Q_{1,P}$	$Q_{0,F}$	$Q_{1,F}$	$J_{0,P}$	$K_{0,P}$	$J_{1,P}$	$K_{1,P}$	CNT
C_0	0	0	C_1	0	1	1	Φ	0
C_1	0	1	C_2	1	0	Φ	1	1
C_2	1	0	C_3	1	1	1	Φ	2
C_3	1	1	C_0	0	0	Φ	1	3

TABLE 3 –

État Présent		Etat Futur		Entrées Bascule JK				Sortie ($X = 1$)
$Q_{0,P}$	$Q_{1,P}$	$Q_{0,F}$	$Q_{1,F}$	$J_{0,P}$	$K_{0,P}$	$J_{1,P}$	$K_{1,P}$	CNT
C_0	0	0	C_3	1	1	1	Φ	0
C_3	1	1	C_2	1	0	Φ	1	3
C_2	1	0	C_1	0	1	1	Φ	2
C_1	1	0	C_0	0	0	Φ	1	1

TABLE 4 –

X	Q_0	Q_1				
	0	0	0 0	0 1	1 1	1 0
0			1 Φ	Φ 1	Φ 1	1 Φ
1			1 Φ	Φ 1	Φ 1	1 Φ

TABLE 5 –

X	Q_0	Q_1				
	0	0	0 0	0 1	1 1	1 0
0			0 Φ	1 Φ	Φ 1	Φ 0
1			1 Φ	0 Φ	Φ 0	Φ 1

TABLE 6 –

4. Le schéma correspondant au **compteur – décompteur synchrone modulo 4** est présenté sur la figure 6.

1. Donnons les équations d'états, ainsi que l'expression de la sortie. On a :

$$J_0 = \bar{X} + \bar{Q}_1 ; K_0 = 1$$

$$J_1 = Q_0 ; K_1 = X + Q_0$$

$$Y = X \cdot \bar{Q}_0 \cdot Q_1 + \bar{X} \cdot Q_0 \cdot Q_1$$

2. Table des états (À faire). La figure 8 montre le graphe des états correspondant.

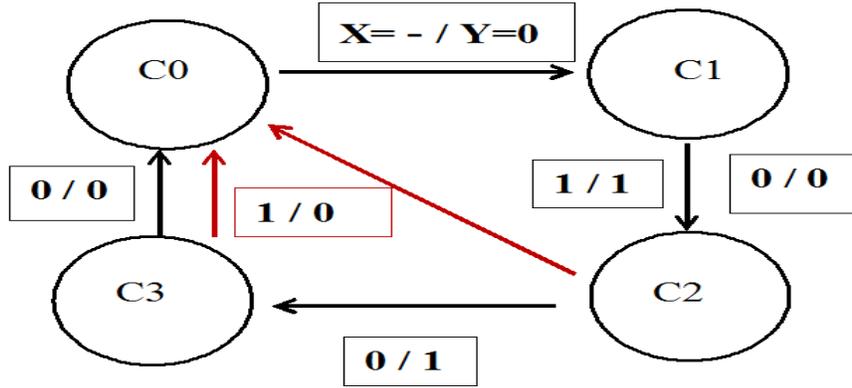


FIGURE 8 –

3. Dans cet exercice, la machine analysée est de type MEALY. En effet,

$$Y = func(X, E.P(Q_0, Q_1))$$

Exercice 4 : Conception

Concevons un système d'ouverture de porte avec code d'accès. La machine reçoit en entrée X une série de chiffres tapée sur un clavier numérique. Si la machine reçoit la bonne séquence de chiffres 0, 2, 3, 5, la porte est ouverte grâce au signal de sortie. Pour ce faire,

1. Rappelons d'abord les deux architectures des machines à états finis (FSM). La figure 9 montre celle de la *machine de Moore*. Celle de la *machine de Mealy* est présentée sur la figure 10.

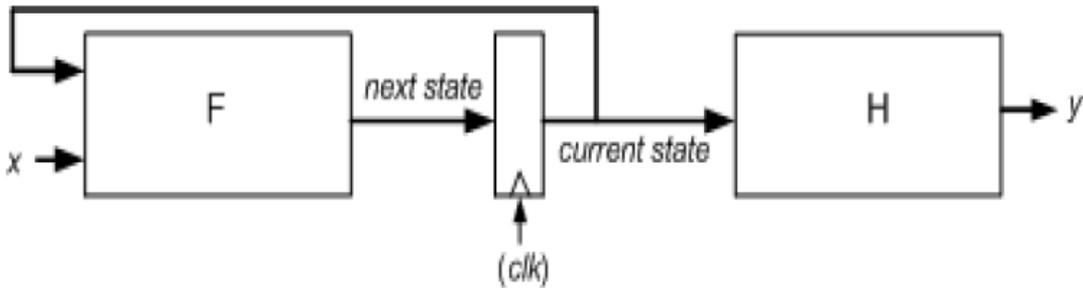


FIGURE 9 –

Dessignons ensuite, le diagramme des états selon la 1^{ère} forme. La figure 11 montre le graphe des états correspondant.

2. Procédez de la même façon pour transformer cette machine en une *machine de Mealy*.

N.B : Dans ce cas, vous aurez 1 état de moins.

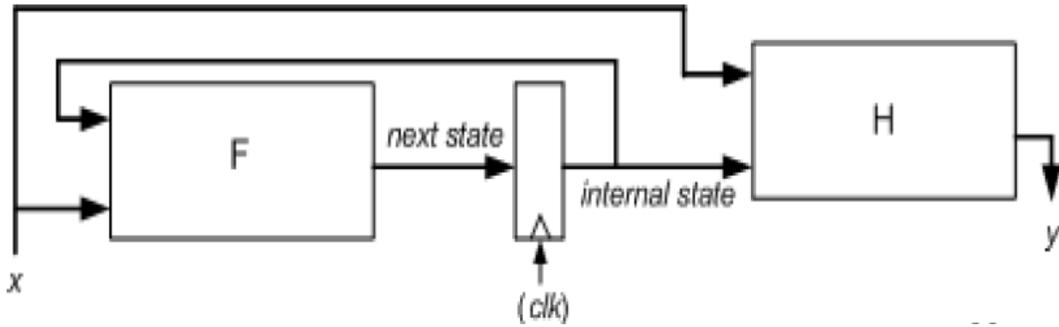


FIGURE 10 –

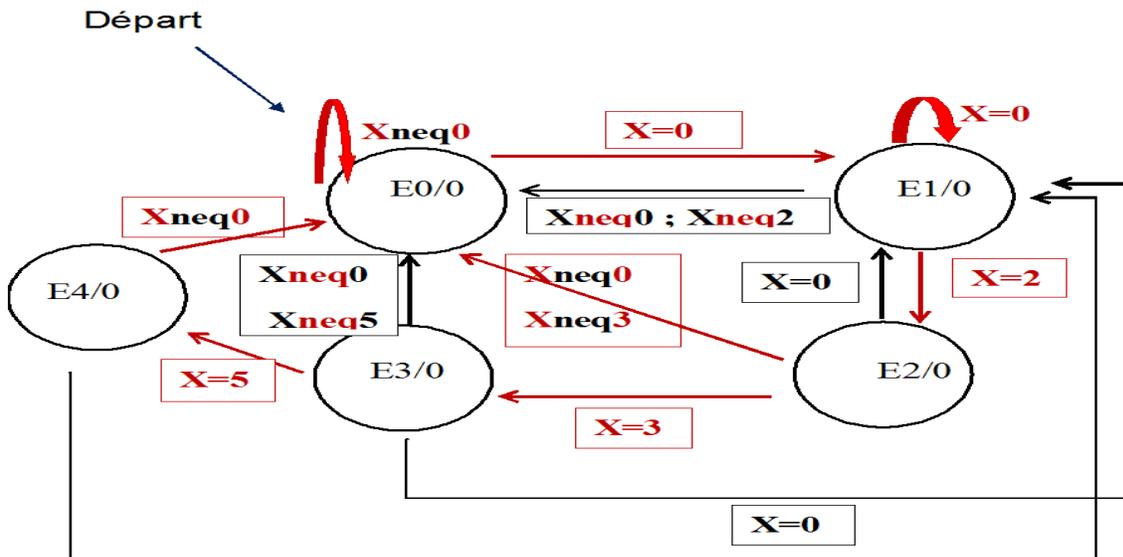
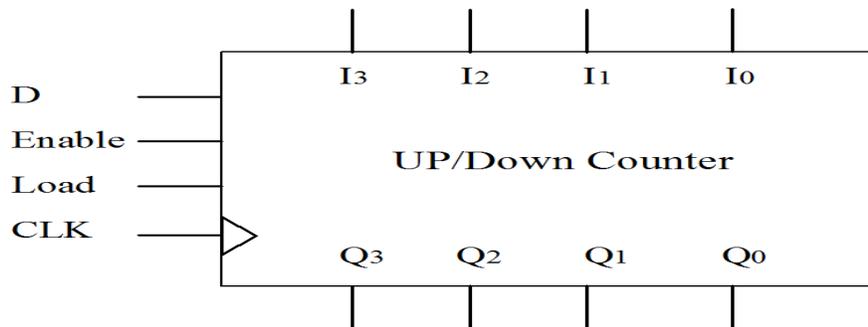


FIGURE 11 –

Exercice 5 :

Reprenons la figure du compteur – décompteur 4 bits.



Le système évolue si $D = 0$ et $Enable = 0$, c'est à dire compte 0000 ; 0001 ; ... 1011 ; ... 1111.

Il stocke la dernière valeur si $Enable = 1$. Comment alors concevoir à partir de ce système, un compteur Modulo 12 ? Dans ce cas, le compteur aura 1011 comme valeur maximale. Ensuite après, il faut ordonner au système, grâce à l'entrée *Load*, le chargement de la valeur 0000. La figure 12 montre le schéma du circuit résultant.

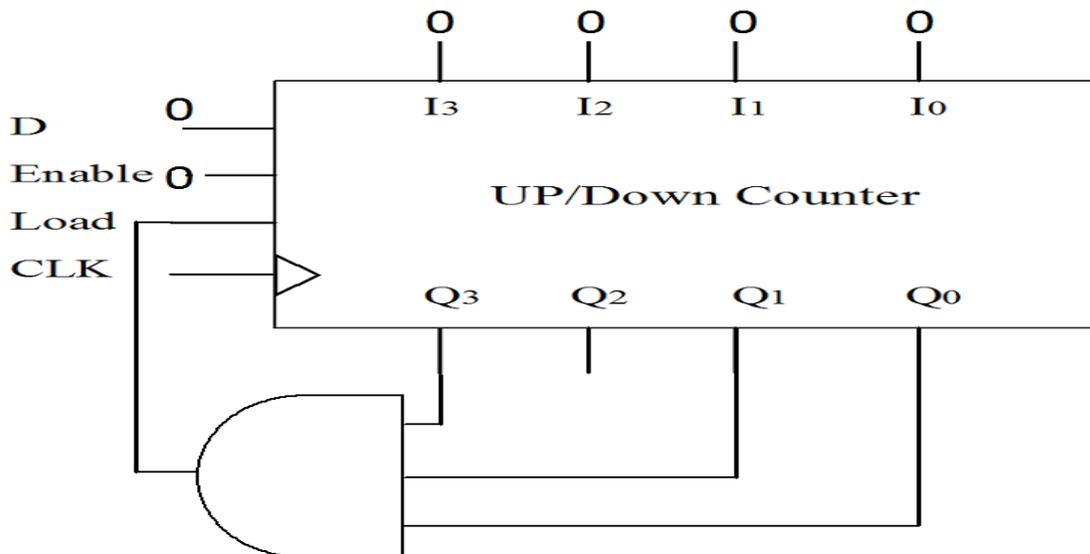
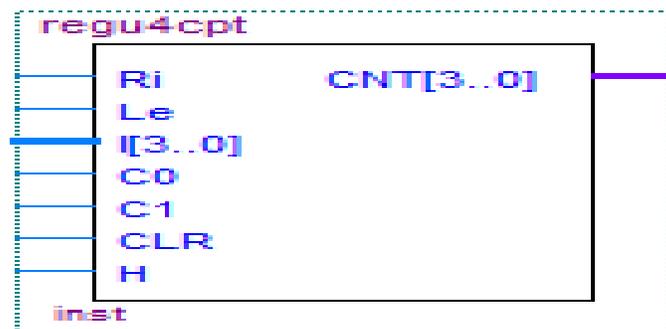


FIGURE 12 –

Exercice 6 : Registre universel 4 bits

Considérons le **registre universel 4 bits** , symbolisé par,



Ce registre étant décrit par la table de vérité ci- après ($CNT = Q$).

CLR	H	C_1	C_0	Fonction	Q_3^+ Q_2^+ Q_1^+ Q_0^+
0	X	X	X	RAZ asynchrone	0 0 0 0
1	↓	0	0	Maintien	Q_3 Q_2 Q_1 Q_0
1	↓	0	1	Décalage à droite	R_i Q_3 Q_2 Q_1
1	↓	1	0	Décalage à gauche	Q_2 Q_1 Q_0 Le
1	↓	1	1	Chargement //	I_3 I_2 I_1 I_0

1. Concevons à l'aide de ce registre, un système logique qui génère la séquence suivante :

$$9 \rightarrow 3 \rightarrow 7 \rightarrow 12 \rightarrow 9 \dots$$

La table de transition est comme suit : L'encodage des états est présenté dans le même tableau (C_9 , C_3 , C_7 et C_{12} ont pour codes respectifs " 1 00 1 ", " 0 01 1 ", " 0 11 1 " et " 1 10 0 "). Les équations des entrées du registre permettant de conditionner l'évolution futur de l'état du système, sont telles que : $C_1 Le = 1 1$. Il reste à déterminer celle de l'entrée C_0 en

État Présent				État Futur				Entrées 74194				Sortie		
	$Q_{3,P}$	$Q_{2,P}$	$Q_{1,P}$	$Q_{0,P}$		$Q_{3,F}$	$Q_{2,F}$	$Q_{1,F}$	$Q_{0,F}$	C_1	C_0	Le	Ri	CNT
C_9	1	0	0	1	C_3	0	0	1	1	1	0	1	--	9
C_3	0	0	1	1	C_7	0	1	1	1	1	0	1	--	3
C_7	0	1	1	1	C_{12}	1	1	0	0	1	1	Φ	--	7
C_{12}	1	1	0	0	C_9	1	0	0	1	1	0	1	--	12

utilisant le tableau de Karnaugh ci- après, qui donne en fait la solution minimale $C_0 = Q_0 Q_2$.
 La figure 13 montre le schéma du circuit en question.

	Q^3	Q^2	Q^1	Q^0					
	0 0	0 1	1 1	1 0					
0 0	Φ	Φ	0	Φ					
0 1	Φ	Φ	1	Φ					
1 1	0	Φ	Φ	Φ					
1 0	Φ	0	Φ	Φ					

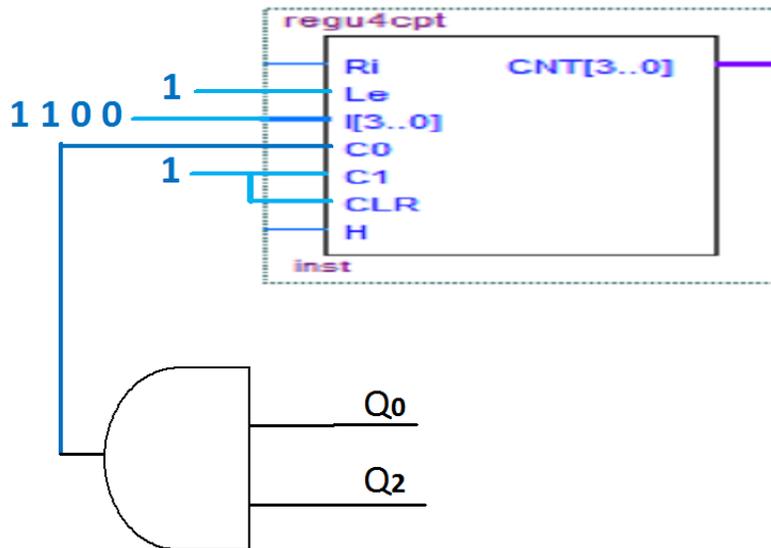


FIGURE 13 –

2. Suivre la même démarche précédente afin de réaliser la fonction $f(x) = 2 \cdot x$; x étant un entier de taille 4 bits.